



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2002. 11. 12
【국제특허분류】	H01L
【발명의 명칭】	산화알루미늄 /산화하프늄 복합유전막을 가지는 반도체 메모리 소자의 커패시터 및 그 제조 방법
【발명의 영문명칭】	Capacitor of semiconductor memory device having composite Al2O3/HfO2 dielectric layer and manufacturing method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	박기연
【성명의 영문표기】	PARK, Ki Yeon
【주민등록번호】	720407-1005911
【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 산7-1 기숙사
【국적】	KR
【발명자】	
【성명의 국문표기】	김성태
【성명의 영문표기】	KIM, Sung Tae
【주민등록번호】	601227-1002238

【우편번호】	137-071
【주소】	서울특별시 서초구 서초1동 현대아파트 20-805
【국적】	KR
【발명자】	
【성명의 국문표기】	김영선
【성명의 영문표기】	KIM, Young Sun
【주민등록번호】	640717-1046422
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 988-2 살구골 성지아파트 711-1301
【국적】	KR
【발명자】	
【성명의 국문표기】	박인성
【성명의 영문표기】	PARK, In Sung
【주민등록번호】	680524-1895118
【우편번호】	137-073
【주소】	서울특별시 서초구 서초3동 1511-4 런던빌라 302호
【국적】	KR
【발명자】	
【성명의 국문표기】	여재현
【성명의 영문표기】	YE0, Jae Hyun
【주민등록번호】	730302-1621620
【우편번호】	137-130
【주소】	서울특별시 서초구 양재동 17-14번지 3층
【국적】	KR
【발명자】	
【성명의 국문표기】	이윤정
【성명의 영문표기】	LEE, Yun Jung
【주민등록번호】	750624-2068414
【우편번호】	151-080
【주소】	서울특별시 관악구 남현동 1081-34
【국적】	KR

**【발명자】****【성명의 국문표기】** 임기빈**【성명의 영문표기】** IM,Ki Vin**【주민등록번호】** 710807-1009510**【우편번호】** 441-390**【주소】** 경기도 수원시 권선구 권선동 1287-3번지 201호**【국적】** KR**【심사청구】** 청구

**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 이영필 (인) 대리인  
 정상빈 (인)

**【수수료】****【기본출원료】** 20 면 29,000 원**【가산출원료】** 16 면 16,000 원**【우선권주장료】** 0 건 0 원**【심사청구료】** 27 항 973,000 원**【합계】** 1,018,000 원**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

$\text{Al}_2\text{O}_3$  유전막/ $\text{HfO}_2$  유전막의 두께비가 1 이상인  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막을 가지는 반도체 메모리 소자의 커패시터 및 그 제조 방법에 관하여 개시한다. 본 발명에 따른 커패시터는 하부 전극과, 상기 하부 전극 위에 차례로 형성된  $\text{Al}_2\text{O}_3$  유전막 및  $\text{HfO}_2$  유전막을 포함하고 상기  $\text{Al}_2\text{O}_3$  유전막이 상기  $\text{HfO}_2$  유전막의 두께와 같거나 큰 두께로 형성된 복합유전막과, 상기 복합유전막 위에 형성된 상부 전극을 포함한다. 상기  $\text{Al}_2\text{O}_3$  유전막은 30 ~ 60Å의 두께로 형성되고, 상기  $\text{HfO}_2$  유전막은 40Å 이하의 두께로 형성된다.

**【대표도】**

도 1e

**【색인어】**커패시터,  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막, 누설 전류

## 【명세서】

## 【발명의 명칭】

산화알루미늄/산화하프늄 복합유전막을 가지는 반도체 메모리 소자의 커패시터 및 그 제조 방법{Capacitor of semiconductor memory device having composite  $Al_2O_3/HfO_2$  dielectric layer and manufacturing method thereof}

## 【도면의 간단한 설명】

도 1a 내지 도 1e는 본 발명의 바람직한 실시예에 따른 반도체 메모리 소자의 커패시터를 제조하는 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

도 2는  $Al_2O_3/HfO_2$  복합유전막을 가지는 커패시터에서  $Al_2O_3$  유전막과  $HfO_2$  유전막과의 두께비에 따라 측정된 등가산화막 두께( $T_{oxeq}$ )에 대한 누설 전류 분포를 나타낸 그래프이다.

도 3은  $Al_2O_3/HfO_2$  복합유전막을 가지는 커패시터에서  $Al_2O_3$  유전막과  $HfO_2$  유전막의 두께비에 따라 얻어진 등가산화막 두께에 대한 데이터들과, 이들의 누설 전류 열화 여부를 나타낸 표이다.

도 4는  $Al_2O_3/HfO_2$  복합유전막을 가지는 커패시터에서 일정한 두께를 가지는  $Al_2O_3$  유전막 위에 다양한 두께의  $HfO_2$  유전막을 형성하였을 때 누설 전류의 변화를 측정한 결과를 나타낸 그래프이다.

도 5는  $Al_2O_3/HfO_2$  복합유전막을 가지는 커패시터에서 일정한 두께를 가지는  $Al_2O_3$  유전막 위에 다양한 두께의  $HfO_2$  유전막을 형성하였을 때 누설 전류의 변화를 측정한 결과를 나타낸 그래프이다.

도 6은  $\text{Al}_2\text{O}_3$ 막 만으로 이루어진 단일층 유전막을 가지는 대조용 커패시터의 누설 전류 특성을 나타낸 그래프이다.

도 7은 본 발명에 따른  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막을 가지는 커패시터에서  $\text{HfO}_2$  유전막 두께를 일정하게 고정하고  $\text{Al}_2\text{O}_3$  유전막 두께를 다양하게 하였을 때 누설 전류의 변화를 측정한 결과를 나타낸 그래프이다.

도 8은 본 발명에 따른  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막을 가지는 커패시터에서 일정한 두께를 가지는  $\text{Al}_2\text{O}_3$  유전막 위에 다양한 두께의  $\text{HfO}_2$  유전막을 형성하였을 때 누설 전류의 변화를 측정한 결과를 나타낸 그래프이다.

도 9는  $\text{HfO}_2$ 막의 두께에 따른 AFM (atomic force microscope) 이미지를 나타낸 것이다.

도 10은  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막 구조를 가지는 커패시터에서 일정한 두께를 가지는  $\text{Al}_2\text{O}_3$  유전막 위에 다양한 두께의  $\text{HfO}_2$  유전막을 형성하였을 때 누설 전류의 변화를 측정한 결과를 나타낸 그래프이다.

도 11은  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막을 가지는 커패시터에서  $\text{Al}_2\text{O}_3$  유전막/ $\text{HfO}_2$  유전막의 두께비가 1보다 작을 때 누설 전류의 변화를 나타낸 그래프이다.

도 12는  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막을 가지는 커패시터에서  $\text{Al}_2\text{O}_3$  유전막/ $\text{HfO}_2$  유전막의 두께비가 1보다 작을 때 누설 전류의 변화를 나타낸 그래프이다.

도 13은 본 발명에 따른  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막을 가지는 커패시터에서  $\text{Al}_2\text{O}_3$  유전막/ $\text{HfO}_2$  유전막의 두께비가 1 이상일 때 누설 전류의 변화를 나타낸 그래프이다.

도 14는 본 발명에 따른  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막을 가지는 커패시터에서  $\text{Al}_2\text{O}_3$  유전막/ $\text{HfO}_2$  유전막의 두께비가 1 이상일 때 누설 전류의 변화를 나타낸 그래프이다.

<도면의 주요 부분에 대한 부호의 설명>

110: 반도체 기판, 120: 하부 전극, 132:  $\text{Al}_2\text{O}_3$  유전막, 134:  $\text{HfO}_2$  유전막, 136: 열처리, 140: 상부 전극.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 집적 회로의 커패시터 및 그 제조 방법에 관한 것으로, 특히 커패시터의 전기적 특성을 향상시킬 수 있는 유전막 구조를 가지는 반도체 메모리 소자의 커패시터 및 그 제조 방법에 관한 것이다.

<18> 반도체 소자의 집적도가 증가함에 따라 DRAM 소자의 커패시터는 단위 면적당 보다 큰 커패시턴스가 요구되고 있다. 이에 따라, 커패시터의 전극을 스택형, 실린더형, 트렌치형 등으로 입체화하거나, 전극 표면에 반구형 그래인을 형성함으로써 전극의 표면적을 증가시키는 방법, 유전막 두께를 얇게 하는 방법, 높은 유전 상수를 가지는 고유전 물질 또는 강유전 물질을 유전막으로 사용하는 방법 등이 제안되었다. 이들 방법 중, 전극의 표면적을 증가시키는 방법은 이미 그 한계에 도달하였다. 그리고, 유전막 두께를 감소시켜 커패시턴스를 증가시키는 방법은 두께 감소에 따른 커패시턴스의 증가와 함께 누설 전류가 심각하게 증가하게 되어 이 방법 역시 적용하는 데 한계가 있다. 높은 유전 상수를 가지는 물질, 예를 들면  $\text{Ta}_2\text{O}_5$  또는 BST ( $(\text{Ba}, \text{Sr})\text{TiO}_3$ ) 등과 같은 물질을 유전막



으로 사용하는 경우에는, 기존에 전극 물질로서 사용하던 다결정 실리콘을 전극으로 사용하기 어렵다. 이는, 유전막의 두께를 감소시키면 터널링의 발생으로 누설 전류가 증가하는 문제가 발생되기 때문이다.

<19>        커패시터의 단위 면적당 커패시턴스를 증가시키기 위하여 제안된 방법중 하나로서, 다결정 실리콘 대신 일함수 (work function)가 큰 TiN이나 Pt 등과 같은 금속을 전극으로 사용하는 MIM 커패시터가 제안되었다. 이는 금속 전극 위에서 자연 산화막의 성장을 억제하여 유전율이 낮은 산화막에 의한 커패시턴스의 감소를 막기 위한 것이다. MIM 커패시터에서는 유전막으로서 산소 친화력이 큰 금속으로부터 얻어진 금속 산화물을 주로 사용한다.

<20>        커패시터의 유전막으로서 종래부터 많이 사용되어 온 커패시터 유전막으로는  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ ,  $\text{Si}_3\text{N}_4/\text{SiO}_2(\text{NO})$  등이 있다. 상기 열거된 유전막들은 DRAM의 고집적화에 따른 스케일 다운(scaling down)의 한계에 다다르고 있다. 이러한 문제를 극복하기 위해서 유전율이 8 이상인  $\text{Al}_2\text{O}_3$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{Y}_2\text{O}_3$ ,  $\text{HfO}_2$ ,  $\text{Nb}_2\text{O}_5$ ,  $\text{TiO}_2$ ,  $\text{BaO}$ ,  $\text{SrO}$ , BST 등이 대표적인 고유전막으로 등장하게 되었다.

<21>        최근에는, 유전막의 두께를 박막화할 때 나타나는 누설 전류 증가에 따른 문제를 해결하기 위하여 유전막을 단일막으로 사용하지 않고, 기존의 유전막과 유전 상수가 큰 고유전막을 동시에 사용하는 복합유전막 형성 공정이 제안되었다. 복합유전막 형성 공정은 커패시턴스를 감소시키지 않으면서 고유전막의 사용에 의하여 누설 전류 증가를 억제함으로써 커패시터의 전기적 특성을 개선시키게 된다.

<22> 대표적인 복합유전막 구조의 예로는  $Ta_2O_5/TiO_2$ ,  $Al_2O_3/TiO_2$ ,  $Al_2O_3/HfO_2$ ,  $Al_2O_3/ZrO_2$ ,  $Ta_2O_5/HfO_2$ ,  $Ta_2O_5/ZrO_2$  등이 있다. 특히, 유전율은 10 정도로 작으나 누설 전류 방지 특성이 뛰어난  $Al_2O_3$ 와, 유전율은 20 ~ 25 정도로 높고 비교적 높은 밴드갭(band gap)에 의하여 누설 전류 방지 특성도 좋은  $HfO_2$ 를 포함하는 이중막 또는 다중막에 대한 연구가 활발하다.

【발명이 이루고자 하는 기술적 과제】

<23> 본 발명의 목적은  $Al_2O_3/HfO_2$  복합유전막을 채용하는 고집적 반도체 메모리 소자의 커패시터에 있어서 누설 전류 증가 억제 효과를 극대화시킬 수 있도록 최적화된 두께비를 가지는 복합유전막을 갖춘 반도체 메모리 소자의 커패시터를 제공하는 것이다.

<24> 본 발명의 다른 목적은 커패시터의 누설 전류 증가 억제 효과를 극대화시킬 수 있도록 최적화된 두께비를 가지는  $Al_2O_3/HfO_2$  복합유전막을 갖춘 반도체 메모리 소자의 커패시터 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<25> 상기 목적을 달성하기 위하여, 본 발명의 제1 양태에 따른 반도체 메모리 소자의 커패시터는 하부 전극과, 상기 하부 전극 위에 차례로 형성된  $Al_2O_3$  유전막 및  $HfO_2$  유전막을 포함하고 상기  $Al_2O_3$  유전막이 상기  $HfO_2$  유전막의 두께와 같거나 큰 두께로 형성된 복합유전막과, 상기 복합유전막 위에 형성된 상부 전극을 포함한다.

<26> 바람직하게는, 상기  $Al_2O_3$  유전막은 30 ~ 60Å의 두께로 형성된다.

<27> 또한 바람직하게는, 상기  $HfO_2$  유전막은 40Å 이하의 두께, 예를 들면 10 ~ 40Å의 두께로 형성된다.

- <28>       상기 하부 전극은 폴리실리콘, 금속 질화물 또는 귀금속으로 이루어질 수 있다. 바람직하게는, 상기 하부 전극은 TiN, TaN, WN, Ru, Ir, Pt, 또는 이들의 복합막으로 이루어진다. 상기 하부 전극은 폴리실리콘으로 이루어진 경우, 본 발명에 따른 반도체 메모리 소자의 커패시터는 상기 하부 전극과 상기 복합유전막 사이에 형성된 실리콘 질화막을 더 포함할 수 있다.
- <29>       상기 상부 전극은 폴리실리콘, 금속 질화물 또는 귀금속으로 이루어질 수 있다. 바람직하게는, 상기 상부 전극은 TiN, TaN, WN, Ru, Ir, Pt, 또는 이들의 복합막으로 이루어진다.
- <30>       또한, 상기 목적을 달성하기 위하여, 본 발명의 제2 양태에 따른 반도체 메모리 소자의 커패시터는 금속 질화물 또는 귀금속으로 이루어지는 하부 전극과, 금속 질화물 또는 귀금속으로 이루어지는 상부 전극과, 상기 하부 전극과 상부 전극 사이에 형성되고  $\text{Al}_2\text{O}_3$  유전막 및  $\text{HfO}_2$  유전막으로 이루어지는 복합유전막을 포함한다. 상기 복합 유전막에서  $\text{Al}_2\text{O}_3$  유전막/ $\text{HfO}_2$  유전막의 두께비가 1 이상이다.
- <31>       상기 다른 목적을 달성하기 위하여, 본 발명에 따른 반도체 메모리 소자의 제조 방법에서는 반도체 기판상에 하부 전극을 형성한다. 제1 두께를 가지는  $\text{Al}_2\text{O}_3$  유전막과, 상기 제1 두께와 같거나 상기 제1 두께보다 작은 제2 두께를 가지는  $\text{HfO}_2$  유전막으로 이루어지는 복합유전막을 상기 하부 전극 위에 형성한다. 상기 복합유전막 위에 상부 전극을 형성한다.
- <32>       상기  $\text{Al}_2\text{O}_3$  유전막 및 상기  $\text{HfO}_2$  유전막은 각각 CVD 또는 ALD 방법으로 형성될 수 있다.

- <33> 본 발명에 따른 반도체 메모리 소자의 커패시터 제조 방법에서는 상기 복합유전막을 열처리하는 단계를 더 포함할 수 있다. 상기 열처리를 위하여 진공 분위기에서의 열처리, 산소 분위기에서의 열처리, 불활성 가스 분위기에서의 RTA (rapid thermal annealing), 퍼니스 어닐링 (furnace annealing), 플라즈마 어닐링, 또는 UV 어닐링을 행한다.
- <34> 본 발명에 따른 반도체 메모리 소자의 커패시터는  $\text{Al}_2\text{O}_3$  유전막/ $\text{HfO}_2$  유전막의 두께비가 1 이상인  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막을 가짐으로써 향상된 누설 전류 특성을 제공한다. 따라서, 본 발명에 의하면 최적화된 두께비를 가지는  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막에 의하여 커패시터의 누설 전류 증가 억제 효과를 극대화시킬 수 있으며 우수한 전기적 특성을 얻을 수 있다.
- <35> 다음에, 본 발명의 바람직한 실시예에 대하여 첨부 도면을 참조하여 상세히 설명한다.
- <36> 다음에 예시하는 실시예는 여러가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 첨부 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여 과장되어진 것이다. 또한, 어떤 막이 다른 막 또는 기판의 "위"에 있다라고 기재된 경우, 상기 어떤 막이 상기 다른 막의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막이 개재될 수도 있다.
- <37> 도 1a 내지 도 1e는 본 발명의 바람직한 실시예에 따른 반도체 메모리 소자의 커패시터를 제조하는 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

<38> 도 1a를 참조하면, 반도체 기판(110)상에 하부 전극(120)을 수 십 ~ 수 백Å의 두께로 형성한다. 상기 하부 전극(120)은 폴리실리콘, 금속 질화물 또는 귀금속으로 이루어질 수 있다. 예를 들면, 상기 하부 전극(120)은 도핑된 폴리실리콘, TiN, TaN, WN, Ru, Ir 또는 Pt로 이루어지는 단일막 또는 이들의 복합막으로 이루어질 수 있다. 상기 하부 전극(120)을 도핑된 폴리실리콘으로 형성하는 경우에는 상기 하부 전극(120)이 후속의 열처리 공정시 산화되는 것을 방지하기 위하여 상기 하부 전극(120)의 표면을 RTN (rapid thermal nitridation) 처리하여 상기 하부 전극(120) 위에 실리콘 질화막(도시 생략)을 형성한다.

<39> 도 1b를 참조하면, 상기 하부 전극(120) 위에  $Al_2O_3$  유전막(132)을 형성한다. 상기  $Al_2O_3$  유전막(132)은 약 20 ~ 60Å, 바람직하게는 약 30 ~ 60Å의 두께로 형성된다. 또한, 상기  $Al_2O_3$  유전막(132)의 두께는 후속 공정에서 형성될  $HfO_2$  유전막(134) (도 1c 참조)의 두께와 같거나 더 두껍게 형성한다. 그 이유에 대하여는 후술한다.

<40> 상기  $Al_2O_3$  유전막(132)은 CVD 또는 ALD 방법으로 형성될 수 있다. 상기  $Al_2O_3$  유전막(132)을 ALD 방법으로 형성하는 경우, 제 1 반응물로서 TMA(trimethyl aluminum)를 사용하고 제2 반응물로서  $O_3$ 를 사용하여 약 200 ~ 500°C의 온도 및 약 0.1 ~ 5 Torr의 압력 조건 하에서 증착 공정을 순차적으로 행한다. 원하는 두께의  $Al_2O_3$ 막이 얻어질 때까지 상기 증착 공정 및 퍼징(purging) 공정을 반복한다. 상기  $Al_2O_3$  유전막(132) 형성을 위한 제1 반응물로서 TMA 외에  $AlCl_3$ ,  $AlH_3N(CH_3)_3$ ,  $C_6H_{15}AlO$ ,  $(C_4H_9)_2AlH$ ,  $(CH_3)_2AlCl$ ,  $(C_2H_5)_3Al$  또는  $(C_4H_9)_3Al$  등을 사용할 수도 있다. 또한, 상기 제2 반응물로서  $H_2O$ ,  $H_2O_2$  또는 플라즈마  $N_2O$ , 플라즈마  $O_2$  등과 같은 활성화된 산화제를 사용하는 것도 가능하다. 상기 제2 반응물로서  $O_3$ 를 사용하여  $Al_2O_3$ 막을 형성한 경우에는  $H_2O$ 를 사용하여

형성한 경우와 비교할 때 유전율 및 누설 전류 특성은 비슷하나, 신뢰성 측면에서는 훨씬 유리하다.

<41> 도 1c를 참조하면, 상기  $\text{Al}_2\text{O}_3$  유전막(132) 위에  $\text{HfO}_2$  유전막(134)을 형성한다. 그 결과,  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막이 형성된다. 상기  $\text{HfO}_2$  유전막(134)은 상기  $\text{Al}_2\text{O}_3$  유전막(132)과 같거나 더 작은 두께를 가지도록 형성된다. 바람직하게는, 상기  $\text{HfO}_2$  유전막(134)은 40Å 이하의 두께, 예를 들면 10 ~ 40Å의 두께로 형성된다.

<42> 상기  $\text{HfO}_2$  유전막(134)은 CVD (chemical vapor deposition) 방법 또는 ALD (atomic layer deposition) 방법으로 형성될 수 있다.

<43> 상기  $\text{HfO}_2$  유전막(134)을 CVD 방법으로 형성하는 경우, 예를 들면  $\text{HfCl}_4$ ,  $\text{Hf}(\text{OtBu})_4$ ,  $\text{Hf}(\text{NEtMe})_4$ ,  $\text{Hf}(\text{MMP})_4$ ,  $\text{Hf}(\text{NEt}_2)_4$  또는  $\text{Hf}(\text{NMe}_2)_4$ 와 같은 Hf 소스 물질과,  $\text{O}_2$  가스를 사용하여 약 400 ~ 500°C의 온도 및 약 1 ~ 5 Torr의 압력 조건 하에서 증착 공정을 행한다.

<44> 상기  $\text{HfO}_2$  유전막(134)을 ALD 방법으로 형성하는 경우, Hf 소스로서  $\text{HfCl}_4$ , 또는  $\text{Hf}(\text{OtBu})_4$ ,  $\text{Hf}(\text{NEtMe})_4$ ,  $\text{Hf}(\text{MMP})_4$ ,  $\text{Hf}(\text{NEt}_2)_4$  또는  $\text{Hf}(\text{NMe}_2)_4$ 와 같은 금속 유기 전구체 (metal organic precursor)를 사용하고, O 소스로서  $\text{H}_2\text{O}$ ,  $\text{H}_2\text{O}_2$ , -OH 라디칼을 포함하는 알콜류,  $\text{O}_3$  또는  $\text{O}_2$  플라즈마를 사용하여 약 150 ~ 500°C의 온도 및 약 0.1 ~ 5 Torr의 압력 조건 하에서 증착 공정을 행하고, 원하는 두께의  $\text{HfO}_2$ 막이 얻어질 때까지 상기 증착 공정 및 퍼징(purging) 공정을 반복한다. 상기  $\text{HfO}_2$  유전막(134)을 ALD 방법으로 형성하는 경우, 저온 증착이 가능하며, 우수한 스텝 커버리지(step coverage)를 얻을 수

있고, 두께 제어가 용이하다. 상기와 같은 방법에 의하여 누설 전류 특성이 우수하고 신뢰도가 높은  $\text{HfO}_2$  유전막(134)을 얻을 수 있다.

<45> 도 1d를 참조하면, 상기  $\text{HfO}_2$  유전막(134)이 형성된 결과물을 열처리(136)한다.

<46> 상기 열처리(136)를 행하는 이유는, 대량 생산을 위한 고속 성장 과정에서 산소가 부족한 상태에 의하여 야기되었던 불완전한 화학양론 (stoichiometry)을 맞추고 증착중에 생긴 유전막 내의 결함을 치유하는 효과와, 유전율이 높은 결정 상태로 전이시키는 효과를 얻기 위함이다. 상기 열처리(136)에 의하여 상기  $\text{HfO}_2$  유전막(134) 내의 불순물이 제거될 수 있으며, 상기  $\text{HfO}_2$  유전막(134)의 밀집화 및 큐어링 효과를 얻을 수 있다.

<47> 상기 열처리(136) 방법으로서 진공 분위기에서의 열처리, 산소 분위기 또는 불활성 가스 분위기에서의 RTA (rapid thermal annealing), 퍼니스 어닐링 (furnace annealing), 플라즈마 어닐링 (plasma annealing), UV 어닐링 등을 이용할 수 있다. 산소 분위기에서의 열처리를 위한 분위기 가스로서 예를 들면  $\text{O}_2$ ,  $\text{N}_2\text{O}$  등이 사용되며, 불활성 가스 분위기를 위하여는  $\text{N}_2$ , Ar 등이 사용된다. 상기 열처리(136) 후, 필요에 따라  $\text{O}_3$  또는  $\text{O}_2$  플라즈마 분위기하에서의 추가 열처리를 행할 수도 있다. 상기 추가 열처리는 상기 열처리(136) 전에 행할 수도 있다. 상기 열처리(136) 및 추가 열처리는 경우에 따라 생략 가능하다.

<48> 도 1e를 참조하면, 상기  $\text{HfO}_2$  유전막(134) 위에 상부 전극(140)을 약 50 ~ 2000 Å의 두께로 형성한다. 상기 상부 전극(140)은 폴리실리콘, 금속 질화물 또는 귀금속으로 이루어지는 단일막 또는 이들의 복합막으로 이루어진다. 예를 들면, 상기 상부 전극(140)은 폴리실리콘, TiN, TaN, WN, Ru, Ir, Pt 등으로 이루어지는 단일막 또는 이들의

복합막으로 이루어질 수 있다. 상기 복합막으로서 유리하게 사용될 수 있는 예를 들면, TiN/폴리실리콘, TaN/폴리실리콘, Ru/TiN 등을 들 수 있다. 상기 상부 전극(140)은 ALD 방법, CVD 방법, 또는 MOCVD (metal-organic chemical vapor deposition) 방법으로 형성될 수 있으며, 그 중 MOCVD 방법은 금속 원료 물질로서 금속 유기물을 사용하는 것으로, 오염원으로 될 수 있는 Cl 원자를 함유하는 물질을 소스로 사용하지 않아 특히 바람직하다.

<49> 이미 설명한 바와 같이, 본 발명에 따른 커패시터는 상기  $Al_2O_3$  유전막(132)과,  $Al_2O_3$  유전막(132)과 같거나 더 작은 두께를 가지는 상기  $HfO_2$  유전막(134)으로 이루어지는  $Al_2O_3/HfO_2$  복합유전막을 가진다. 즉, 상기  $Al_2O_3/HfO_2$  복합유전막에서  $Al_2O_3$  유전막/ $HfO_2$  유전막의 두께비는 1 이상이다. 이와 같은  $Al_2O_3/HfO_2$  복합유전막 구조를 형성함으로써 커패시터의 누설 전류 특성을 향상시킬 수 있다. 이 때, 상기  $Al_2O_3$  유전막(132)의 두께를 약 30 ~ 60 Å의 범위로 형성함으로써 커패시터의 유전막을 통한 직접적인 터널링(tunneling)을 억제할 수 있으며 복합유전막의 안정적인 누설 전류 특성을 얻을 수 있다. 또한, 상기  $HfO_2$  유전막(134)의 두께가 40 Å 이하로 되도록 함으로써 상기  $HfO_2$  유전막(134)의 결정화 및 그에 따른 누설 전류 증가를 억제할 수 있다.

<50> 도 2는  $Al_2O_3/HfO_2$  복합유전막을 가지는 커패시터에서  $Al_2O_3$  유전막과  $HfO_2$  유전막과의 두께비에 따라 측정된 등가산화막 두께( $T_{oxeq}$ )에 대한 누설 전류 분포를 나타낸 그래프이다.

<51> 도 2에서, "A<sub>1</sub>" 및 "A<sub>2</sub>"로 표시된 각 원의 내부에 있는 부분이  $Al_2O_3/HfO_2$  복합유전막에서  $Al_2O_3$  유전막 두께보다  $HfO_2$  유전막 두께가 더 두꺼운 부분을 나타내는



것이다. "A<sub>1</sub>" 및 "A<sub>2</sub>"로 표시된 각 원의 내부에서는 누설 전류 특성이 열화된 것을 보여 준다. 도 2에서 "B"로 표시된 점선에 따라 변화되는 부분은 정상적인 누설 전류 분포를 보이는 것이다.

<52> 도 3은 Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub> 복합유전막을 가지는 커패시터에서 Al<sub>2</sub>O<sub>3</sub> 유전막과 HfO<sub>2</sub> 유전막의 두께비에 따른 누설 전류 열화 여부를 나타낸 것이다. 도 3에서 표시된 각 숫자들은 각각의 샘플 커패시터에서 얻어진 등가산화막 두께(T<sub>oxeq</sub>)를 나타낸다. 도 3에서, Al<sub>2</sub>O<sub>3</sub> 유전막/HfO<sub>2</sub> 유전막의 두께비가 작아질수록 누설 전류가 열화되는 것을 알 수 있다.

<53> 도 4는 Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub> 복합유전막을 가지는 커패시터에서 20Å의 일정한 두께를 가지는 Al<sub>2</sub>O<sub>3</sub> 유전막 위에 다양한 두께의 HfO<sub>2</sub> 유전막을 형성하였을 때 누설 전류의 변화를 측정한 결과를 나타낸 그래프이다. 도 4에서 "T<sub>ox</sub>"는 등가산화막 두께를 나타낸다.

<54> 도 4에서, Al<sub>2</sub>O<sub>3</sub> 유전막/HfO<sub>2</sub> 유전막의 두께비가 1.0보다 작은 경우, 즉 Al<sub>2</sub>O<sub>3</sub> 유전막의 두께가 HfO<sub>2</sub> 유전막의 두께보다 작은 경우에는 누설 전류 특성이 열화되었으며, Al<sub>2</sub>O<sub>3</sub> 유전막/HfO<sub>2</sub> 유전막의 두께비가 1인 경우, 즉 Al<sub>2</sub>O<sub>3</sub> 유전막의 두께와 HfO<sub>2</sub> 유전막의 두께가 동일한 경우에는 누설 전류 특성이 양호하였다.

<55> 도 5는 Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub> 복합유전막을 가지는 커패시터에서 35Å 두께의 Al<sub>2</sub>O<sub>3</sub> 유전막 위에 다양한 두께의 HfO<sub>2</sub> 유전막을 형성하였을 때 누설 전류의 변화를 측정한 결과를 나타낸 그래프이다.

<56> 도 5에서, Al<sub>2</sub>O<sub>3</sub> 유전막/HfO<sub>2</sub> 유전막의 두께비가 1보다 작은 경우에는 누설 전류 특성이 열화되었으며, Al<sub>2</sub>O<sub>3</sub> 유전막/HfO<sub>2</sub> 유전막의 두께비가 1보다 큰 경우에는 누설 전류 특성이 양호하였다.

<57> 도 6은 대조용으로 평가한 결과로서,  $\text{Al}_2\text{O}_3$ 막 만으로 이루어진 단일층 유전막을 가지는 커패시터의 누설 전류 특성을 나타낸 그래프이다. 도 6에서,  $\text{Al}_2\text{O}_3$ 막의 두께가 감소함에 따라 등가산화막 두께( $T_{ox}$ )가 감소한다. 또한, 유전막의 누설 전류는  $\text{Al}_2\text{O}_3$ 막의 두께가 33Å일 때 급격하게 증가한다. 도 6의 결과로부터,  $\text{Al}_2\text{O}_3$ 막을 단독으로 사용하여 유전막을 구성할 때  $\text{Al}_2\text{O}_3$ 막의 누설 전류 특성을 고려하면 유전막의 박막화는 등가산화막 두께 약 30Å에서 한계를 보이게 된다.

<58> 도 7은 본 발명에 따른 방법에 의하여 제조된  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막 구조를 가지는 커패시터에서  $\text{HfO}_2$  유전막의 두께를 20Å으로 일정하게 하고,  $\text{Al}_2\text{O}_3$  유전막 두께를 다양하게 하였을 때 누설 전류의 변화를 측정한 결과를 나타낸 그래프이다.

<59> 도 7에서,  $\text{Al}_2\text{O}_3$  유전막 두께가 각각 20Å 및 25Å인 경우에는 2V 이하의 낮은 전압 영역에서부터 누설 전류가 크게 증가한 반면,  $\text{Al}_2\text{O}_3$  유전막 두께가 각각 30Å 및 35Å인 경우에는  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막 구조에서 낮은 등가산화막 두께( $T_{ox}$ )를 가짐에도 불구하고  $\text{Al}_2\text{O}_3$  단일 유전막의 경우와 거의 동등한 수준의 누설 전류 특성을 나타내었다.

<60> 도 8은 본 발명에 따른 방법에 의하여 제조된  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막을 가지는 커패시터에서 30Å의 일정한 두께를 가지는  $\text{Al}_2\text{O}_3$  유전막 위에 다양한 두께의  $\text{HfO}_2$  유전막을 형성하였을 때 누설 전류의 변화를 측정한 결과를 나타낸 그래프이다.

<61> 도 8에서,  $\text{HfO}_2$  유전막의 두께가 증가함에 따라 누설 전류는 낮아지고 있다. 이로부터,  $\text{Al}_2\text{O}_3$  유전막의 두께가 증가한 경우보다는 누설 전류 특성의 개선 정도는 작지만  $\text{HfO}_2$  유전막의 두께가 증가하여도 등가산화막 두께( $T_{ox}$ )에 미치는 영향은 작음을 알 수 있다.

- <62>       상기한 바와 같이,  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막을 가지는 커패시터에서 누설 전류 특성은  $\text{HfO}_2$  유전막의 두께 보다는  $\text{Al}_2\text{O}_3$  유전막의 두께에 크게 의존하고 있다. 따라서,  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막을 가지는 커패시터에서 안정적인 누설 전류 특성을 얻기 위하여는  $\text{Al}_2\text{O}_3$  유전막의 두께가 30Å 이상인 것이 바람직하다.
- <63>       일반적으로,  $\text{HfO}_2$ 막은 그 증착 두께가 증가함에 따라 증착 과정중에 결정화가 이루어진다.  $\text{HfO}_2$ 막의 두께에 따른 결정화 효과는 AFM (atomic force microscope)을 통하여도 확인 가능하다.
- <64>       도 9는  $\text{HfO}_2$ 막의 두께에 따른 AFM 이미지를 나타낸 것이다. AFM 이미지상에서  $\text{HfO}_2$ 막의 두께가 60Å인 경우에 표면 러프니스(roughness)가 급격하게 나빠지고 있는 것을 확인할 수 있다.  $\text{HfO}_2$ 막의 두께가 증가함에 따라  $\text{HfO}_2$ 막 내에서 부분적으로 결정화가 일어나게 되며, 결정화된  $\text{HfO}_2$ 막 위에서는 증착 속도가 비정질  $\text{HfO}_2$ 막의 경우에 비하여 상대적으로 빠르다. 따라서, 도 9의 AFM 이미지에서 볼 수 있는 바와 같이,  $\text{HfO}_2$ 막의 두께가 60Å인 경우  $\text{HfO}_2$ 막이 뾰족뾰족한 모양으로 성장되어 표면 러프니스가 불량하게 된다. AFM 분석 결과에 따르면,  $\text{HfO}_2$ 막의 결정화가 시작되는 두께는 약 50Å 전후이다.
- <65>       도 10은  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막을 가지는 커패시터에서 25Å의 일정한 두께를 가지는  $\text{Al}_2\text{O}_3$  유전막 위에 다양한 두께의  $\text{HfO}_2$  유전막을 형성하였을 때 누설 전류의 변화를 측정한 결과를 나타낸 그래프이다.
- <66>        $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막 구조의 장점으로 기대되는 바와 같이 고유전막에 의한 누설 전류 효과가  $\text{HfO}_2$  유전막의 두께가 증가함에 따라 더욱 커질 것으로 기대됨에도 불구하고, 도 10의 결과에서는 오히려  $\text{HfO}_2$  유전막의 두께가 증가함에 따라 누설 전류 특성이

더욱 열화되는 결과를 나타내었다. 이와 같은 결과는  $\text{HfO}_2$  유전막의 결정화와 관련이 있는 것으로 판단된다. 즉,  $\text{HfO}_2$  유전막의 두께가 증가함에 따라 결정화된  $\text{HfO}_2$  그레인들이 성장하고, 그 결과  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막의  $\text{Al}_2\text{O}_3$ 막 내부로 성장되는  $\text{HfO}_2$  그레인들이 유전막 내에서 누설 전류 경로로 작용하여 누설 전류 특성 열화를 초래하는 것이다.

<67>        상기한 평가 결과들로부터 알 수 있는 바와 같이,  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막 구조를 가지는 커패시터에서  $\text{HfO}_2$ 막에 의한 누설 전류 억제 효과를 극대화하기 위하여  $\text{HfO}_2$  유전막은  $\text{HfO}_2$ 막의 결정화가 시작되는 두께 이하의 두께를 유지하여야 하며 그 두께는 AFM을 통한 평가 결과를 토대로 할 때 약  $40\text{\AA}$  이하가 바람직하다.

<68>        도 11 및 도 12는 각각  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막을 가지는 커패시터에서  $\text{Al}_2\text{O}_3$  유전막/ $\text{HfO}_2$  유전막의 두께비가 1보다 작을 때 누설 전류의 변화를 나타낸 그래프이다. 도 11 및 도 12에서는 각각 대조용으로서  $\text{Al}_2\text{O}_3$ 막 만으로 이루어진 단일층 유전막을 가지는 커패시터의 누설 전류 특성을 함께 나타내었다.

<69>        보다 구체적으로, 도 11은  $20\text{\AA}$ 의 일정한 두께를 가지는  $\text{Al}_2\text{O}_3$  유전막 위에 상기  $\text{Al}_2\text{O}_3$  유전막 보다 큰 두께를 가지는  $\text{HfO}_2$  유전막을 형성하였을 때 누설 전류의 변화를 측정한 결과를 나타낸 그래프이다. 또한, 도 12는  $25\text{\AA}$ 의 일정한 두께를 가지는  $\text{Al}_2\text{O}_3$  유전막 위에 상기  $\text{Al}_2\text{O}_3$  유전막 보다 큰 두께를 가지는  $\text{HfO}_2$  유전막을 형성하였을 때 누설 전류의 변화를 측정한 결과를 나타낸 그래프이다.

<70>        도 11 및 도 12의 결과로부터,  $\text{Al}_2\text{O}_3$  유전막/ $\text{HfO}_2$  유전막의 두께비가 1보다 작은 경우에 누설 전류 특성이 열화되는 것을 확인하였다.

<71> 도 13 및 도 14는 각각  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막을 가지는 커패시터에서  $\text{Al}_2\text{O}_3$  유전막/ $\text{HfO}_2$  유전막의 두께비가 1 이상일 때 누설 전류의 변화를 나타낸 그래프이다. 도 13 및 도 14에서는 각각 대조용으로서  $\text{Al}_2\text{O}_3$ 막 만으로 이루어진 단일층 유전막을 가지는 커패시터의 누설 전류 특성을 함께 나타내었다.

<72> 보다 구체적으로, 도 13은 30Å의 일정한 두께를 가지는  $\text{Al}_2\text{O}_3$  유전막 위에 상기  $\text{Al}_2\text{O}_3$  유전막과 같거나 작은 두께를 가지는  $\text{HfO}_2$  유전막을 형성하였을 때 누설 전류의 변화를 측정한 결과를 나타낸 그래프이다. 또한, 도 14는 35Å의 일정한 두께를 가지는  $\text{Al}_2\text{O}_3$  유전막 위에 상기  $\text{Al}_2\text{O}_3$  유전막 보다 작은 두께를 가지는  $\text{HfO}_2$  유전막을 형성하였을 때 누설 전류의 변화를 측정한 결과를 나타낸 그래프이다.

<73> 도 13 및 도 14의 결과로부터,  $\text{Al}_2\text{O}_3$  유전막/ $\text{HfO}_2$  유전막의 두께비가 1 이상인 경우에 누설 전류 특성이 양호한 것을 알 수 있다.

#### 【발명의 효과】

<74> 본 발명에 따른 반도체 메모리 소자의 커패시터는  $\text{Al}_2\text{O}_3$  유전막과  $\text{HfO}_2$  유전막으로 이루어지는  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막을 가지며, 상기  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막에서  $\text{Al}_2\text{O}_3$  유전막/ $\text{HfO}_2$  유전막의 두께비는 1 이상이다. 이와 같은  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막 구조를 형성함으로써 커패시터의 누설 전류 특성을 향상시킬 수 있다. 또한,  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막에서  $\text{Al}_2\text{O}_3$  유전막의 두께를 약 30 ~ 60Å의 범위로 형성함으로써 커패시터의 유전막을 통한 직접적인 터널링(tunneling)을 억제할 수 있으며 복합유전막의 안정적인 누설 전류 특성을 얻을 수 있다. 그리고, 상기  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막에서  $\text{HfO}_2$  유전막의 두께가 40Å 이하로 되도록 함으로써  $\text{HfO}_2$  유전막의 결정화 및 그에 따른 누설 전류 증가를 억제할 수 있다.

<75> 따라서, 본 발명에 의하면 최적화된 두께비를 가지는  $\text{Al}_2\text{O}_3/\text{HfO}_2$  복합유전막에 의하여 커패시터의 누설 전류 증가 억제 효과를 극대화시킬 수 있으며 우수한 전기적 특성을 얻을 수 있다.

<76> 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

**【특허청구범위】****【청구항 1】**

하부 전극과,

상기 하부 전극 위에 차례로 형성된  $\text{Al}_2\text{O}_3$  유전막 및  $\text{HfO}_2$  유전막을 포함하고, 상기  $\text{Al}_2\text{O}_3$  유전막이 상기  $\text{HfO}_2$  유전막의 두께와 같거나 큰 두께로 형성된 복합유전막과,

상기 복합유전막 위에 형성된 상부 전극을 포함하는 것을 특징으로 하는 반도체 메모리 소자의 커패시터.

**【청구항 2】**

제1항에 있어서,

상기  $\text{Al}_2\text{O}_3$  유전막은 30 ~ 60Å의 두께로 형성된 것을 특징으로 하는 반도체 메모리 소자의 커패시터.

**【청구항 3】**

제1항에 있어서,

상기  $\text{HfO}_2$  유전막은 40Å 이하의 두께로 형성된 것을 특징으로 하는 반도체 메모리 소자의 커패시터.

**【청구항 4】**

제3항에 있어서,

상기  $\text{HfO}_2$  유전막은 10 ~ 40Å의 두께로 형성된 것을 특징으로 하는 반도체 메모리 소자의 커패시터.

**【청구항 5】**

제1항에 있어서,

상기 하부 전극은 폴리실리콘, 금속 질화물 또는 귀금속으로 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 커패시터.

**【청구항 6】**

제5항에 있어서,

상기 하부 전극은 TiN, TaN, WN, Ru, Ir, Pt, 또는 이들의 복합막으로 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 커패시터.

**【청구항 7】**

제1항에 있어서,

상기 상부 전극은 폴리실리콘, 금속 질화물 또는 귀금속으로 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 커패시터.

**【청구항 8】**

제7항에 있어서,

상기 상부 전극은 TiN, TaN, WN, Ru, Ir, Pt, 또는 이들의 복합막으로 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 커패시터.

**【청구항 9】**

제1항에 있어서,

상기 하부 전극은 폴리실리콘으로 이루어지고,



상기 하부 전극과 상기 복합유전막 사이에 형성된 실리콘 질화막을 더 포함하는 것을 특징으로 하는 반도체 메모리 소자의 커패시터.

【청구항 10】

금속 질화물 또는 귀금속으로 이루어지는 하부 전극과,

금속 질화물 또는 귀금속으로 이루어지는 상부 전극과,

상기 하부 전극과 상부 전극 사이에 형성되고  $\text{Al}_2\text{O}_3$  유전막 및  $\text{HfO}_2$  유전막으로 이루어지는 복합유전막을 포함하고,

상기 복합 유전막에서  $\text{Al}_2\text{O}_3$  유전막/ $\text{HfO}_2$  유전막의 두께비가 1 이상인 것을 특징으로 하는 반도체 메모리 소자의 커패시터.

【청구항 11】

제10항에 있어서,

상기  $\text{Al}_2\text{O}_3$  유전막은 30 ~ 60Å의 두께로 형성된 것을 특징으로 하는 반도체 메모리 소자의 커패시터.

【청구항 12】

제10항에 있어서,

상기  $\text{HfO}_2$  유전막은 40Å 이하의 두께로 형성된 것을 특징으로 하는 반도체 메모리 소자의 커패시터.

【청구항 13】

제12항에 있어서,

상기  $\text{HfO}_2$  유전막은 10 ~ 40Å의 두께로 형성된 것을 특징으로 하는 반도체 메모리 소자의 커패시터.

【청구항 14】

제10항에 있어서,

상기 하부 전극은 TiN, TaN, WN, Ru, Ir, Pt, 또는 이들의 복합막으로 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 커패시터.

【청구항 15】

제10항에 있어서,

상기 상부 전극은 TiN, TaN, WN, Ru, Ir, Pt, 또는 이들의 복합막으로 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 커패시터.

【청구항 16】

반도체 기판상에 하부 전극을 형성하는 단계와,

제 1 두께를 가지는  $\text{Al}_2\text{O}_3$  유전막과, 상기 제1 두께와 같거나 상기 제1 두께보다 작은 제2 두께를 가지는  $\text{HfO}_2$  유전막으로 이루어지는 복합유전막을 상기 하부 전극 위에 형성하는 단계와,

상기 복합유전막 위에 상부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

【청구항 17】

제16항에 있어서,

상기  $\text{Al}_2\text{O}_3$  유전막은 CVD 또는 ALD 방법으로 형성되는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

【청구항 18】

제16항에 있어서,

상기  $\text{Al}_2\text{O}_3$  유전막의 제1 두께는 30 ~ 60Å의 범위 내에서 선택되는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

【청구항 19】

제16항에 있어서,

상기  $\text{HfO}_2$  유전막은 CVD 또는 ALD 방법으로 형성되는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

【청구항 20】

제16항에 있어서,

상기  $\text{HfO}_2$  유전막은 40Å 이하의 두께로 형성되는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

【청구항 21】

제20항에 있어서,

상기  $\text{HfO}_2$  유전막의 제2 두께는 10 ~ 40Å의 범위 내에서 선택되는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

【청구항 22】

제16항에 있어서,

상기 하부 전극은 폴리실리콘, 금속 질화물 또는 귀금속으로 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 23】**

제22항에 있어서,

상기 하부 전극은 TiN, TaN, WN, Ru, Ir, Pt, 또는 이들의 복합막으로 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 24】**

제16항에 있어서,

상기 상부 전극은 폴리실리콘, 금속 질화물 또는 귀금속으로 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 25】**

제24항에 있어서,

상기 상부 전극은 TiN, TaN, WN, Ru, Ir, Pt, 또는 이들의 복합막으로 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

**【청구항 26】**

제16항에 있어서,

상기 복합유전막을 열처리하는 단계를 더 포함하는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

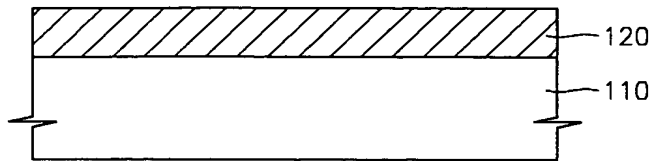
**【청구항 27】**

제26항에 있어서,

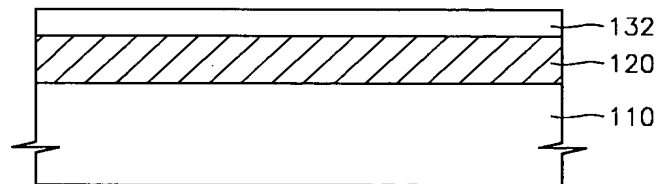
상기 열처리를 위하여 진공 분위기에서의 열처리, 산소 분위기에서의 열처리, 불활성 가스 분위기에서의 RTA (rapid thermal annealing), 퍼니스 어닐링 (furnace annealing), 플라즈마 어닐링, 또는 UV 어닐링을 행하는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

## 【도면】

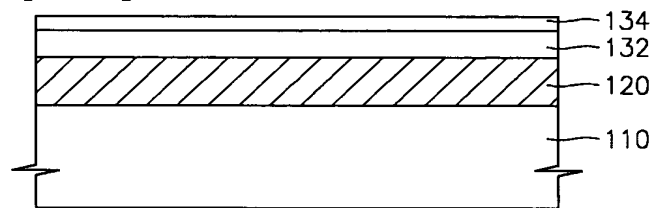
【도 1a】



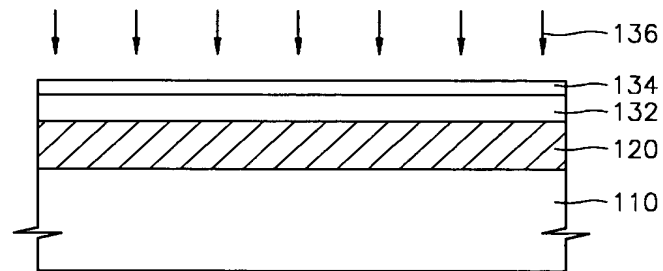
【도 1b】



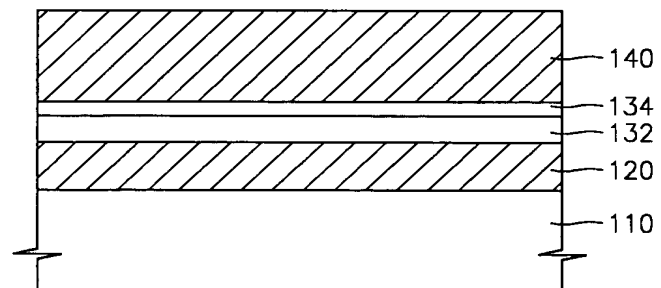
【도 1c】



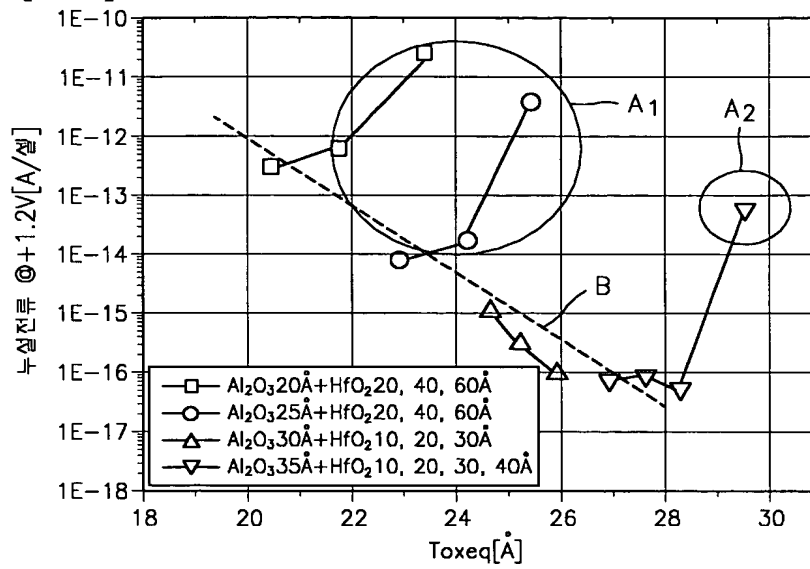
【도 1d】



【도 1e】



【도 2】

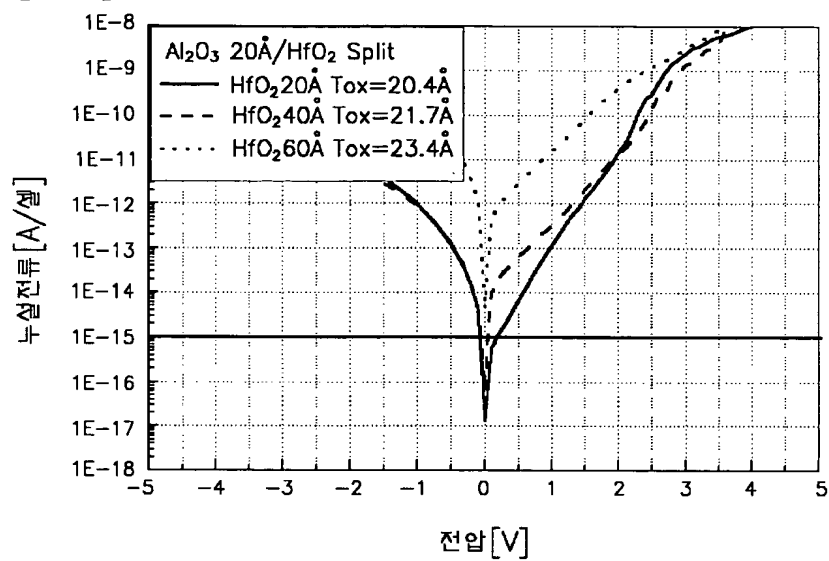


【表 3】

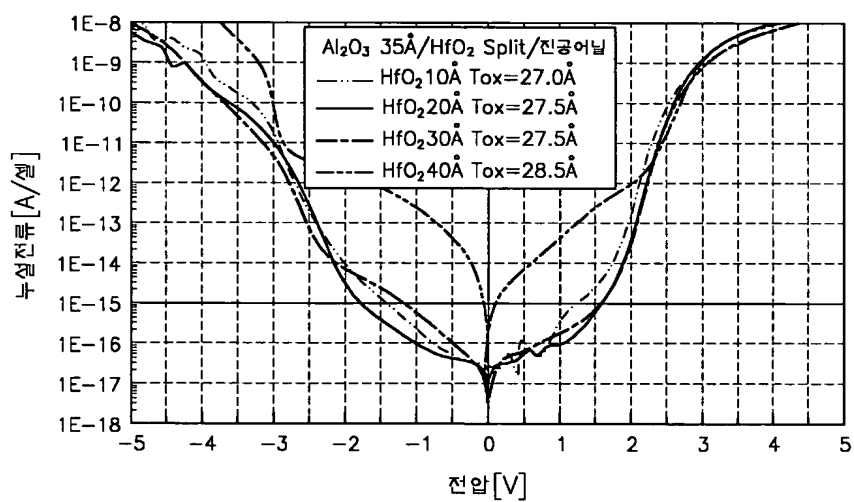
[Toxeq(Å)]						
	10	20	30	40	50	60
10	15.2	15.9	16.5	17.2	17.8	18.5
15	17.5	18.2	18.8	19.5	20.1	20.8
20	19.8	20.5	21.1	21.8	22.4	23.1
25	22.1	22.8	23.4	24.1	24.7	25.4
27.5	23.3	23.9	24.6	25.2	25.9	26.5
30	24.4	25.1	25.7	26.4	27.0	27.7
32.5	25.6	26.2	26.9	27.5	28.2	28.8
35	26.7	27.4	28.0	28.5	29.3	30.0
40	29.0	29.7	30.3	31.0	31.6	32.3
Al <sub>2</sub> O <sub>3</sub> 계(Å)		누설 전류 정상				누설 전류 열화
						SiON=10Å



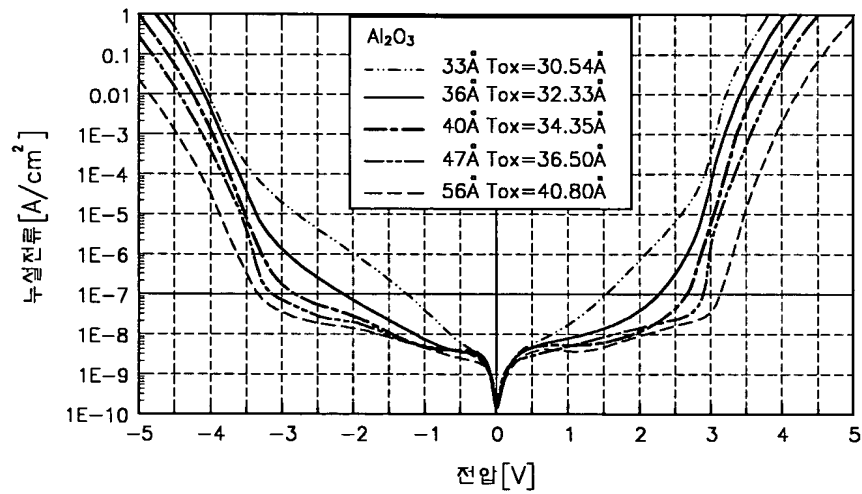
【도 4】



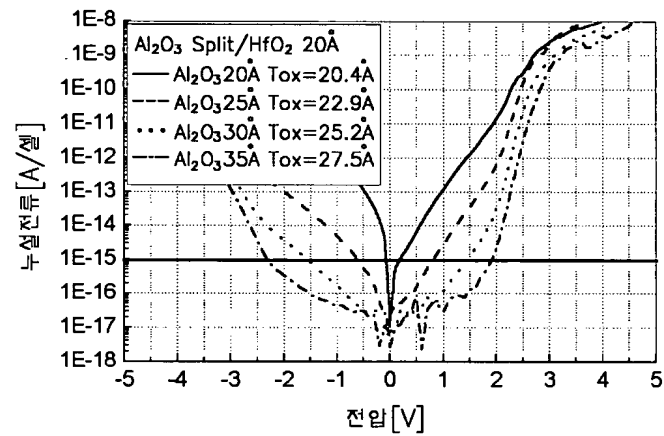
【도 5】



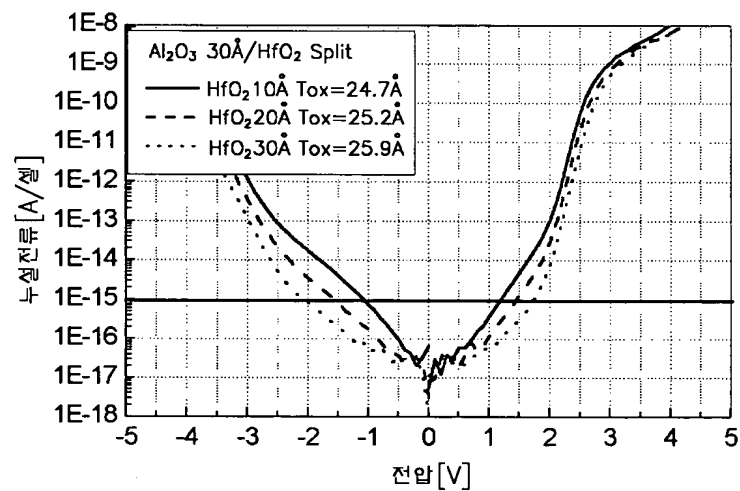
【도 6】



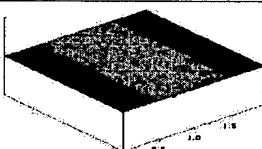
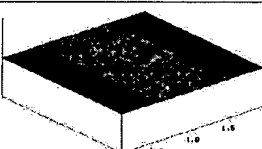
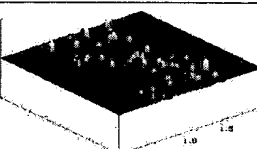
【도 7】



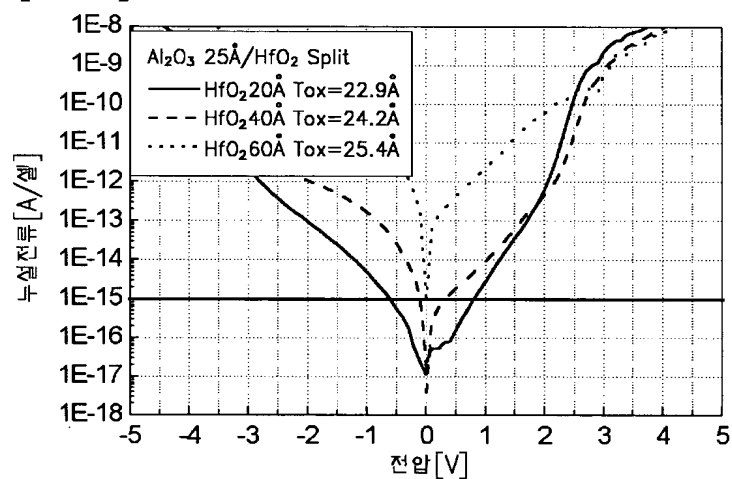
【도 8】



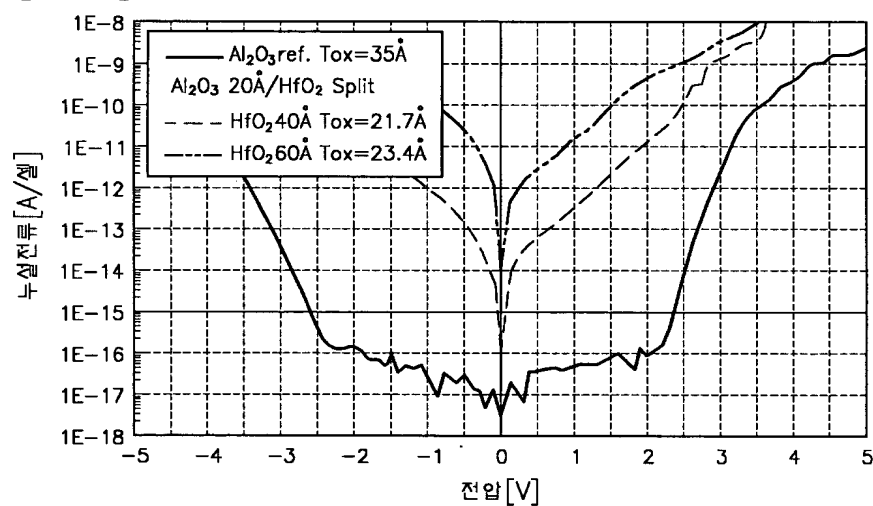
【도 9】

HfO <sub>2</sub> 두께	20 Å	40 Å	60 Å
3D			
RMS (Å)	1.1	1.2	2.7
최대높이 (Å)	10.8	18.7	41.0

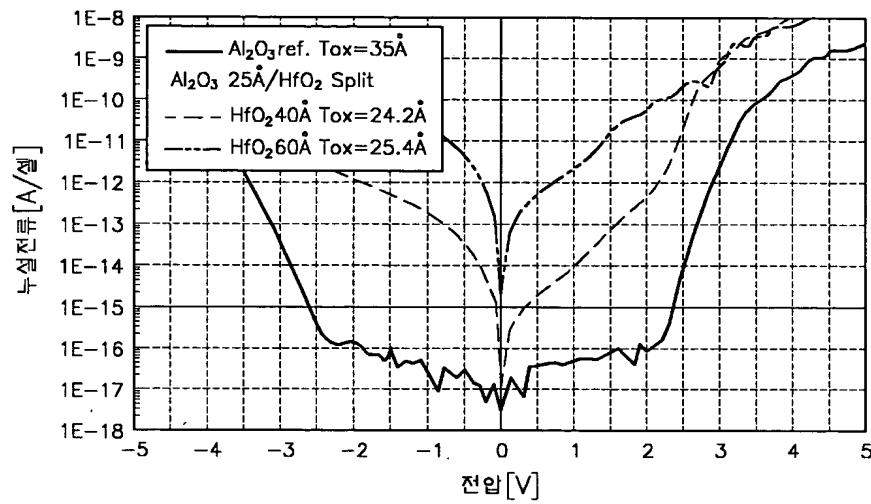
【도 10】



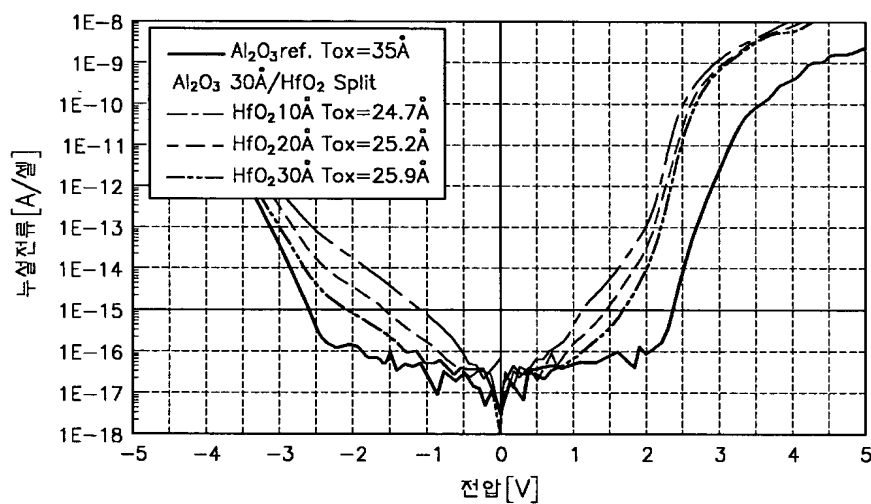
【도 11】



【도 12】



【도 13】



【도 14】

